

PCT/JP 2004/005994

REC'D 21 MAY 2004

WIPO PCT

26.4.2004

日本特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日
Date of Application: 2003年 6月20日

出願番号
Application Number: 特願2003-176582

[ST. 10/C]: [JP2003-176582]

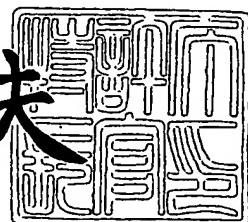
出願人
Applicant(s): 日本電気株式会社

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2004年 1月26日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願
【整理番号】 34002318
【提出日】 平成15年 6月20日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 29/78
H01L 21/00

【発明者】

【住所又は居所】 東京都港区芝五丁目 7番1号 日本電気株式会社内
【氏名】 小倉 卓

【発明者】

【住所又は居所】 東京都港区芝五丁目 7番1号 日本電気株式会社内
【氏名】 五十嵐 信行

【発明者】

【住所又は居所】 東京都港区芝五丁目 7番1号 日本電気株式会社内
【氏名】 岩本 敏幸

【発明者】

【住所又は居所】 東京都港区芝五丁目 7番1号 日本電気株式会社内
【氏名】 渡辺 啓仁

【特許出願人】

【識別番号】 000004237
【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100123788
【弁理士】
【氏名又は名称】 宮崎 昭夫
【電話番号】 03-3585-1882

【選任した代理人】**【識別番号】** 100088328**【弁理士】****【氏名又は名称】** 金田 暢之**【選任した代理人】****【識別番号】** 100106297**【弁理士】****【氏名又は名称】** 伊藤 克博**【選任した代理人】****【識別番号】** 100106138**【弁理士】****【氏名又は名称】** 石橋 政幸**【手数料の表示】****【予納台帳番号】** 201087**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【包括委任状番号】** 0304683**【ブルーフの要否】** 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項1】 シリコン基板と、

前記シリコン基板上にシリコン含有絶縁膜を介して設けられた高誘電率金属酸化膜を有するゲート絶縁膜と、

前記ゲート絶縁膜上に形成されたシリコン含有ゲート電極と、

前記ゲート電極の側面側に酸化シリコンを構成部材として含むサイドウォールとを有し、

前記サイドウォールと少なくとも前記ゲート電極の側面との間に窒化シリコン膜が介在するMIS型電界効果トランジスタを備えた半導体装置。

【請求項2】 前記窒化シリコン膜は、前記高誘電率金属酸化膜の側面を被覆している、請求項1記載のMIS型電界効果トランジスタを備えた半導体装置。

【請求項3】 前記窒化シリコン膜は、酸化シリコン膜を介して設けられている、請求項1又は2記載の半導体装置。

【請求項4】 シリコン基板と、

前記シリコン基板上にシリコン含有絶縁膜を介して設けられた高誘電率金属酸化膜を有するゲート絶縁膜と、

前記ゲート絶縁膜上に形成されたシリコン含有ゲート電極とを有し、

少なくとも前記高誘電率金属酸化膜の側面側に窒素含有部を有するMIS型電界効果トランジスタを備えた半導体装置。

【請求項5】 前記窒素含有部は、少なくとも前記高誘電率金属酸化膜の側面を被覆する窒化シリコン膜である、請求項4記載の半導体装置。

【請求項6】 前記ゲート絶縁膜の側面は、前記ゲート電極側面の平面に対して窪みを形成し、前記窒化シリコン膜は、この窪み内で少なくとも前記高誘電率金属酸化膜の側面を被覆している、請求項5記載の半導体装置。

【請求項7】 前記窒素含有部は、前記高誘電率金属酸化膜の側面側部分を窒化処理してなるものである、請求項4記載の半導体装置。

【請求項 8】 前記ゲート電極の側面側に酸化シリコンを構成部材として含むサイドウォールを有する、請求項4～7のいずれか1項に記載の半導体装置。

【請求項 9】 前記高誘電率金属酸化膜と前記ゲート電極との間に塗化シリコン膜が介在する、請求項1～8のいずれか1項に記載の半導体装置。

【請求項 10】 前記高誘電率金属酸化膜がハフニウム (Hf) を含有する、請求項1～9のいずれか1項に記載の半導体装置。

【請求項 11】 前記高誘電率金属酸化膜の比誘電率が10以上である、請求項1～10のいずれか1項に記載の半導体装置。

【請求項 12】 前記高誘電率金属酸化膜が前記サイドウォール下に存在しない、請求項1～3及び8のいずれか1項に記載の半導体装置。

【請求項 13】 前記ゲート電極のゲート長が $1\text{ }\mu\text{m}$ 以下である、請求項1～12のいずれか1項に記載の半導体装置。

【請求項 14】 シリコン基板上にシリコン含有絶縁膜を介して高誘電率金属酸化膜を形成する工程と、

前記高誘電率金属酸化膜上にシリコン含有ゲート電極材料膜を形成する工程と、前記ゲート電極材料膜をパターニングしてゲート電極を形成する工程と、

前記高誘電率金属酸化膜をパターニングして前記ゲート電極下に高誘電率金属酸化膜パターンを形成する工程と、

塗化シリコン膜を全面に形成する工程と、

前記塗化シリコン膜上に酸化シリコン膜を形成する工程と、

前記酸化シリコン膜および塗化シリコン膜をエッチバックして前記ゲート電極側面に塗化シリコン膜を介したサイドウォールを形成する工程を有する半導体装置の製造方法。

【請求項 15】 前記塗化シリコン膜を形成した後、当該塗化シリコン膜をエッチバックして前記ゲート電極上及びシリコン基板上の塗化シリコン膜を除去する工程を有し、その後に、酸化シリコン膜を全面に形成し、この酸化シリコン膜をエッチバックして前記ゲート電極側面にサイドウォールを形成する、請求項14記載の半導体装置の製造方法。

【請求項 16】 シリコン基板上にシリコン含有絶縁膜を介して高誘電率金

属酸化膜を形成する工程と、

前記高誘電率金属酸化膜上にシリコン含有ゲート電極材料膜を形成する工程と、

前記ゲート電極材料膜をパターニングしてゲート電極を形成する工程と、

前記高誘電率金属酸化膜およびシリコン含有絶縁膜をパターニングして前記ゲート電極下に高誘電率金属酸化膜およびシリコン含有絶縁膜のパターンを形成する工程と、

第1の酸化シリコン膜を600℃以下で全面に形成する工程と、

前記第1の酸化シリコン膜上に塗化シリコン膜を形成する工程と、

前記塗化シリコン膜上に第2の酸化シリコン膜を形成する工程と、

前記第2の酸化シリコン膜、塗化シリコン膜および第1の酸化シリコン膜をエッチバックして前記ゲート電極側面に第1の酸化シリコン膜および塗化シリコン膜を介したサイドウォールを形成する工程を有する半導体装置の製造方法。

【請求項17】 前記塗化シリコン膜を形成した後、当該塗化シリコン膜および第1の酸化シリコン膜をエッチバックして前記ゲート電極上及びシリコン基板上の塗化シリコン膜および酸化シリコン膜を除去する工程を有し、その後に、前記第2の酸化シリコン膜を全面に形成し、この第2の酸化シリコン膜をエッチバックして前記ゲート電極側面にサイドウォールを形成する、請求項16記載の半導体装置の製造方法。

【請求項18】 シリコン基板上にシリコン含有絶縁膜を介して高誘電率金属酸化膜を形成する工程と、

前記高誘電率金属酸化膜上にシリコン含有ゲート電極材料膜を形成する工程と、

前記ゲート電極材料膜をパターニングしてゲート電極を形成する工程と、

前記高誘電率金属酸化膜をパターニングして前記ゲート電極下に高誘電率金属酸化膜パターンを形成する工程と、

等方性エッティングにより少なくとも前記高誘電率金属酸化膜パターンの側面部を除去して窪みを形成する工程と、

前記窪みを埋め込むように全面に塗化シリコン膜を形成する工程と、

前記窪み内において少なくとも前記高誘電率金属酸化膜の側面を被覆する塗化シリコン膜が残るように前記塗化シリコン膜をエッティングする工程と、

酸化シリコン膜を全面に形成し、この酸化シリコン膜をエッチバックして前記ゲート電極側面にサイドウォールを形成する工程を有する半導体装置の製造方法。

【請求項19】 シリコン基板上にシリコン含有絶縁膜を介して高誘電率金属酸化膜を形成する工程と、

前記高誘電率金属酸化膜上にシリコン含有ゲート電極材料膜を形成する工程と、

前記ゲート電極材料膜をパターニングしてゲート電極を形成する工程と、

前記高誘電率金属酸化膜をパターニングして前記ゲート電極下に高誘電率金属酸化膜パターンを形成する工程と、

前記高誘電率金属酸化膜パターンの側面部を窒化処理する工程と、

酸化シリコン膜を全面に形成し、この酸化シリコン膜をエッチバックして前記ゲート電極側面にサイドウォールを形成する工程を有する半導体装置の製造方法。

【請求項20】 シリコン基板上にシリコン含有絶縁膜を介して高誘電率金属酸化膜を形成する工程と、

前記高誘電率金属酸化膜上にシリコン含有ゲート電極材料膜を形成する工程と、

前記ゲート電極材料膜をパターニングしてゲート電極を形成する工程と、

前記高誘電率金属酸化膜をパターニングして前記ゲート電極下に高誘電率金属酸化膜パターンを形成する工程と、

酸化シリコン膜を600℃以下で全面に形成する工程と、

前記酸化シリコン膜をエッチバックして前記ゲート電極側面にサイドウォールを形成する工程を有する半導体装置の製造方法。

【請求項21】 さらに前記シリコン含有絶縁膜をパターニングして前記ゲート電極下にシリコン含有絶縁膜パターンを形成する、請求項14、15、18～20のいずれか1項に記載の半導体装置の製造方法。

【請求項22】 前記高誘電率金属酸化膜がハフニウム(Hf)を含有する、請求項14～21のいずれか1項に記載の半導体装置の製造方法。

【請求項23】 前記高誘電率金属酸化膜の比誘電率が10以上である、請求項14～22のいずれか1項に記載の半導体装置の製造方法。

【請求項24】 前記ゲート電極のゲート長が1μm以下である、請求項14～23のいずれか1項に記載の半導体装置の製造方法。



【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置及びその製造方法に関し、特に高誘電体膜をゲート絶縁膜に用いたMIS型電界効果トランジスタ（MISFET）を有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

近年、MOS型電界効果トランジスタ（MOSFET）の高速動作を目的としてゲート絶縁膜（SiO₂膜）の薄膜化が2 nm程度にまで進められている。しかし、これに伴い、消費電力の観点からゲートリーケ電流が無視できないものとなってきた。そこで、このゲートリーケ電流を抑制するため、SiO₂より比誘電率の高い材料（Hig h-K材料）をゲート絶縁膜に利用することが検討されている。Hig h-K材料をゲート絶縁膜に用いることによって、SiO₂換算膜厚を薄くできるため素子の高速動作を実現でき、且つ物理的膜厚を厚くできるためゲートリーケ電流を抑えることができる。

【0003】

Hig h-K材料としては、ハフニウムオキサイド（HfO₂）やジルコニアムオキサイド（ZrO₂）等の金属酸化物、これらの金属酸化物にさらにシリコン等を含有する金属酸化物（組成式：HfSiO、ZrSiO等）が知られている。

【0004】

このようなHig h-K材料をゲート絶縁膜に用いたMISFETの一例が、特許文献1（特開2002-134739号公報）に開示されている。同公報に記載のMISFETは、下層部、中央部および上層部からなる3層構造のゲート絶縁膜を有し、下層部は中央部と比べてシリコン基板との反応性が低く、上層部は中央部と比べてゲート電極（ポリシリコン電極）との反応性が低いことを特徴としている。より具体的には、上層部および下層部にHfSiO₂膜、中央部にHfO₂膜が用いられている。そして、このような構成によれば、消費電力の低

減および高速動作の実現を図ることができると記載されている。

【0005】

【特許文献1】

特開2002-134739号公報

【0006】

【発明が解決しようとする課題】

しかしながら、上記従来技術のようにHfgh-K材料の反応性を考慮した構成であっても、素子の微細化に伴いゲート長が短くなるに従って、動作電流が、ゲート絶縁膜に酸化シリコン膜を用いたMOSFETに比べて十分に向上しないという問題がある。図1に、ゲート長と単位チャネル幅あたりのオン電流（I_{on}）との関係を示す。ここで、HfSiO（A）中のSiモル比率（Si／（Si+Hf））は30%、HfSiO（B）中のSiモル比率は13%である。この図から明らかなように、ゲート絶縁膜にHfSiO膜を用いた場合はSiO₂膜を用いた場合に比べて、ゲート長が短くなるに従って、オン電流が低くなることがわかる。また、HfSiO膜中のSi含有比率が低いとオン電流の低下が著しいことがわかる。このようにSi含有比率が低いほどオン電流が低下することは、Si含有比率が低いほど大きくなる比誘電率とトレードオフの関係にあるため、高速動作の実現の点で大きな障害となる。

【0007】

そこで本発明の目的は、ゲート長が短い微細構造を有しながら、低消費電力でかつ高速動作が可能なMISFETを有する半導体装置およびその製造方法を提供することにある。

【0008】

【課題を解決するための手段】

本発明は、シリコン基板と、

前記シリコン基板上にシリコン含有絶縁膜を介して設けられた高誘電率金属酸化膜を有するゲート絶縁膜と、

前記ゲート絶縁膜上に形成されたシリコン含有ゲート電極と、

前記ゲート電極の側面側に酸化シリコンを構成部材として含むサイドウォールと

を有し、

前記サイドウォールと少なくとも前記ゲート電極の側面との間に塗化シリコン膜が介在するMIS型電界効果トランジスタを備えた半導体装置に関する。

【0009】

また本発明は、前記塗化シリコン膜が、前記高誘電率金属酸化膜の側面を被覆している、上記のMIS型電界効果トランジスタを備えた半導体装置に関する。

【0010】

また本発明は、前記塗化シリコン膜が、酸化シリコン膜を介して設けられている、上記の半導体装置に関する。

【0011】

また本発明は、シリコン基板と、
前記シリコン基板上にシリコン含有絶縁膜を介して設けられた高誘電率金属酸化膜を有するゲート絶縁膜と、

前記ゲート絶縁膜上に形成されたシリコン含有ゲート電極とを有し、
少なくとも前記高誘電率金属酸化膜の側面側に窒素含有部を有するMIS型電界効果トランジスタを備えた半導体装置に関する。

【0012】

また本発明は、前記窒素含有部が、少なくとも前記高誘電率金属酸化膜の側面を被覆する塗化シリコン膜である、上記の半導体装置に関する。

【0013】

また本発明は、前記ゲート絶縁膜の側面が、前記ゲート電極側面の平面に対しても窪みを形成し、前記塗化シリコン膜が、この窪み内で少なくとも前記高誘電率金属酸化膜の側面を被覆している、上記の半導体装置に関する。

【0014】

また本発明は、前記窒素含有部が、前記高誘電率金属酸化膜の側面側部分を塗化処理してなるものである、上記の半導体装置に関する。

【0015】

また本発明は、前記ゲート電極の側面側に酸化シリコンを構成部材として含むサイドウォールを有する、上記の半導体装置に関する。

【0016】

また本発明は、前記高誘電率金属酸化膜と前記ゲート電極との間に窒化シリコン膜が介在する、上記の半導体装置に関する。

【0017】

また本発明は、前記高誘電率金属酸化膜がハフニウム（Hf）を含有する、上記の半導体装置に関する。

【0018】

また本発明は、前記高誘電率金属酸化膜の比誘電率が10以上である、上記の半導体装置に関する。

【0019】

また本発明は、前記高誘電率金属酸化膜が前記サイドウォール下に存在しない、上記の半導体装置に関する。

【0020】

また本発明は、前記ゲート電極のゲート長が $1\text{ }\mu\text{m}$ 以下である、上記の半導体装置に関する。

【0021】

また本発明は、シリコン基板上にシリコン含有絶縁膜を介して高誘電率金属酸化膜を形成する工程と、

前記高誘電率金属酸化膜上にシリコン含有ゲート電極材料膜を形成する工程と、

前記ゲート電極材料膜をパターニングしてゲート電極を形成する工程と、

前記高誘電率金属酸化膜をパターニングして前記ゲート電極下に高誘電率金属酸化膜パターンを形成する工程と、

窒化シリコン膜を全面に形成する工程と、

前記窒化シリコン膜上に酸化シリコン膜を形成する工程と、

前記酸化シリコン膜および窒化シリコン膜をエッチバックして前記ゲート電極側面に窒化シリコン膜を介したサイドウォールを形成する工程を有する半導体装置の製造方法に関する。

【0022】

また本発明は、前記窒化シリコン膜を形成した後、当該窒化シリコン膜をエッ

チバックして前記ゲート電極上及びシリコン基板上の塗化シリコン膜を除去する工程を有し、その後に、酸化シリコン膜を全面に形成し、この酸化シリコン膜をエッチバックして前記ゲート電極側面にサイドウォールを形成する、上記の半導体装置の製造方法に関する。

【0023】

また本発明は、シリコン基板上にシリコン含有絶縁膜を介して高誘電率金属酸化膜を形成する工程と、

前記高誘電率金属酸化膜上にシリコン含有ゲート電極材料膜を形成する工程と、

前記ゲート電極材料膜をパターニングしてゲート電極を形成する工程と、

前記高誘電率金属酸化膜およびシリコン含有絶縁膜をパターニングして前記ゲート電極下に高誘電率金属酸化膜およびシリコン含有絶縁膜のパターンを形成する工程と、

第1の酸化シリコン膜を600℃以下で全面に形成する工程と、

前記第1の酸化シリコン膜上に塗化シリコン膜を形成する工程と、

前記塗化シリコン膜上に第2の酸化シリコン膜を形成する工程と、

前記第2の酸化シリコン膜、塗化シリコン膜および第1の酸化シリコン膜をエッチバックして前記ゲート電極側面に第1の酸化シリコン膜および塗化シリコン膜を介したサイドウォールを形成する工程を有する半導体装置の製造方法に関する

。

【0024】

また本発明は、前記塗化シリコン膜を形成した後、当該塗化シリコン膜および第1の酸化シリコン膜をエッチバックして前記ゲート電極上及びシリコン基板上の塗化シリコン膜および酸化シリコン膜を除去する工程を有し、その後に、前記第2の酸化シリコン膜を全面に形成し、この第2の酸化シリコン膜をエッチバックして前記ゲート電極側面にサイドウォールを形成する、上記の半導体装置の製造方法に関する。

【0025】

また本発明は、シリコン基板上にシリコン含有絶縁膜を介して高誘電率金属酸化膜を形成する工程と、

前記高誘電率金属酸化膜上にシリコン含有ゲート電極材料膜を形成する工程と、
前記ゲート電極材料膜をパターニングしてゲート電極を形成する工程と、
前記高誘電率金属酸化膜をパターニングして前記ゲート電極下に高誘電率金属酸
化膜パターンを形成する工程と、
等方性エッチングにより少なくとも前記高誘電率金属酸化膜パターンの側面部を
除去して窪みを形成する工程と、
前記窪みを埋め込むように全面に塗化シリコン膜を形成する工程と、
前記窪み内において少なくとも前記高誘電率金属酸化膜の側面を被覆する塗化シ
リコン膜が残るように前記塗化シリコン膜をエッチングする工程と、
酸化シリコン膜を全面に形成し、この酸化シリコン膜をエッチバックして前記ゲ
ート電極側面にサイドウォールを形成する工程を有する半導体装置の製造方法に
関する。

【0026】

また本発明は、シリコン基板上にシリコン含有絶縁膜を介して高誘電率金属酸
化膜を形成する工程と、
前記高誘電率金属酸化膜上にシリコン含有ゲート電極材料膜を形成する工程と、
前記ゲート電極材料膜をパターニングしてゲート電極を形成する工程と、
前記高誘電率金属酸化膜をパターニングして前記ゲート電極下に高誘電率金属酸
化膜パターンを形成する工程と、
前記高誘電率金属酸化膜パターンの側面部を塗化処理する工程と、
酸化シリコン膜を全面に形成し、この酸化シリコン膜をエッチバックして前記ゲ
ート電極側面にサイドウォールを形成する工程を有する半導体装置の製造方法に
関する。

【0027】

また本発明は、シリコン基板上にシリコン含有絶縁膜を介して高誘電率金属酸
化膜を形成する工程と、
前記高誘電率金属酸化膜上にシリコン含有ゲート電極材料膜を形成する工程と、
前記ゲート電極材料膜をパターニングしてゲート電極を形成する工程と、
前記高誘電率金属酸化膜をパターニングして前記ゲート電極下に高誘電率金属酸

化膜パターンを形成する工程と、

酸化シリコン膜を600℃以下で全面に形成する工程と、

前記酸化シリコン膜をエッチバックして前記ゲート電極側面にサイドウォールを形成する工程を有する半導体装置の製造方法に関する。

【0028】

また本発明は、さらに前記シリコン含有絶縁膜をパターニングして前記ゲート電極下にシリコン含有絶縁膜パターンを形成する、上記の半導体装置の製造方法に関する。

【0029】

また本発明は、前記高誘電率金属酸化膜がハフニウム（Hf）を含有する、上記の半導体装置の製造方法に関する。

【0030】

また本発明は、前記高誘電率金属酸化膜の比誘電率が10以上である、上記の半導体装置の製造方法に関する。

【0031】

また本発明は、前記ゲート電極のゲート長が $1\text{ }\mu\text{m}$ 以下である、上記の半導体装置の製造方法に関する。

【0032】

なお、本発明において高誘電率金属酸化膜とは、 SiO_2 の比誘電率より高い比誘電率を持つものを意味し、この比誘電率が7以上、さらに10以上である金属酸化物からなる膜を用いることが好ましい。

【0033】

【発明の実施の形態】

本発明者らは、低消費電力でかつ高速動作が可能なMISFETを有する半導体装置を開発するに際して、前述したように、ゲート絶縁膜にHigaki-K材料を用いたFETは酸化シリコン膜を用いた場合に比べて、ゲート長が短くなるに従って動作電流（I_{on}）が向上しないという問題を見出した。特に、この問題は、特定の素子構造、すなわちゲート長が短く（特に $1\text{ }\mu\text{m}$ 以下）、且つゲート電極の側面に酸化シリコンからなるサイドウォールが設けられている場合に顕著で

あった。この原因について詳細に検討を行ったところ、ゲート絶縁膜を構成する高誘電率金属酸化膜の上面及び下面側に数 nm程度の絶縁膜が形成あるいは増膜されていることを見出した。この絶縁膜は酸化シリコン膜と考えられ、この増膜分ほど電気的なゲート絶縁膜厚が増大し（反転容量の増大）、動作電流（I_{on}）が低下したものと考えられる。また、この酸化シリコン膜の形成は、サイドウォール形成工程後に顕著であったことから、この工程における酸化性雰囲気の成膜過程に主な原因があると考えられる。すなわち、サイドウォールを形成する際の酸化性雰囲気の成膜過程において、高誘電率金属酸化膜の露出部から、酸素等の酸化性物質が膜中へ浸入・拡散し、この酸化性物質が、高誘電率金属酸化膜上のゲート電極および下地層（あるいはシリコン基板）のシリコン成分と反応して、酸化シリコン膜が形成あるいは増膜したものと考えられる。また、ゲート長が短いほど動作電流（I_{on}）が低下する理由としては、ゲート長が短いと、ゲート電極下に形成される高誘電率金属酸化膜のゲート長方向の長さも短くなり、酸化性物質が膜中央部まで容易に拡散でき、高誘電率金属酸化膜のゲート長方向の全域にわたって酸化シリコン膜が形成あるいは増膜しやすくなるためと考えられる。

【0034】

本発明は、上記の観点から鋭意検討した結果、完成したものであり、その主な特徴は、酸素等の酸化性物質を含む酸化性雰囲気での加熱下の処理において、ゲート絶縁膜を構成する高誘電率金属酸化膜中の酸化性物質の浸入・透過を抑制できる構成にある。

【0035】

前述のとおり、動作電流（I_{on}）の低下はゲート長が短いほど顕著になるため、本発明は、特に、ゲート長が1 μm以下のMISFETを備えた半導体装置に対して効果的であり、200 nm以下がより効果的であり、100 nm以下がさらに効果的である。

【0036】

また本発明は、短チャネル効果の抑制の観点から、ゲート絶縁膜を構成する高誘電率金属酸化膜がサイドウォール下に存在しない構造、あるいは高誘電率金属酸化膜がゲート電極下の領域のみに存在する構造を採用したときに特に効果的な

ものである。

【0037】

本発明の一実施形態の構造的な主な特徴は、シリコン基板上にシリコン含有絶縁膜を介して積層された高誘電率金属酸化膜を有するゲート絶縁膜と、このゲート絶縁膜上に形成されたシリコン含有ゲート電極と、このゲート電極の側面側に酸化シリコンを構成部材として含むサイドウォールとを有し、このサイドウォールと少なくとも前記ゲート絶縁膜の側面との間に窒化シリコン膜が介在することにある。

【0038】

また、他の実施形態の構造的な主な特徴は、シリコン基板上にシリコン含有絶縁膜を介して積層された高誘電率金属酸化膜を有するゲート絶縁膜と、このゲート絶縁膜上に形成されたシリコン含有ゲート電極とを有し、少なくとも前記高誘電率金属酸化膜の側面側に窒素含有部を有することにある。

【0039】

さらに、本発明の上記特徴的構成を達成し得るプロセス的な主な特徴は、高誘電率金属酸化膜を含むゲート絶縁膜およびゲート電極を形成した後において、当該高誘電率金属酸化膜が露出した状態で実施する酸化性雰囲気での加熱下の処理を600℃以下で行うことにある。

【0040】

以下、本発明の好適な実施の形態を説明する。

なお、以下の説明に用いる図面においては、ソース・ドレイン領域を構成する深い不純物拡散領域、及びサイドウォール下に存在するLDD領域を構成する浅い不純物拡散領域を省略している。

【0041】

第1の実施形態

本実施形態は、図2に示すように、シリコン基板1上に、シリコン含有絶縁膜2と高誘電率金属酸化膜3がこの順で積層されたゲート絶縁膜と、このゲート絶縁膜上に形成されたシリコン含有ゲート電極4と、このゲート絶縁膜側面を含むゲート電極側面（基板に対して垂直方向の面）に窒化シリコン膜5を介してサイ

ドウォール6が設けられている。この実施形態では、高誘電率金属酸化膜3の側面（基板に対して垂直方向の面）を窒化シリコン膜5が被覆している。

【0042】

なお、図2に示す構成では、窒化シリコン膜5がサイドウォール6下にも存在するが、図3に示すように、サイドウォール下（サイドウォールとシリコン基板との間）に窒化シリコン膜が存在しない構造にすることができる。また、図2及び図3では、窒化シリコン膜5がシリコン基板1に接しているが、界面順位の抑制の観点から、これらの間に酸化シリコン膜を介在させることが好ましい。

【0043】

本発明の構成において、高誘電率金属酸化膜3としては、ハフニウムオキサイド（HfO₂）やジルコニウムオキサイド（ZrO₂）等の金属酸化物、これらの金属酸化物にさらにシリコン（Si）やアルミニウム（Al）を含有する金属酸化物（組成式：HfSiO、ZrSiO、HfAlO、ZrAlO等）を用いることができる。なかでも、耐熱性や比誘電率の観点からHfSiOが好ましい。また、高誘電率金属酸化膜の厚みは、消費電力や動作速度等の所望の素子特性の観点から、0.5nm～10nmの範囲で適宜設定することができる。また、2種以上の異なる組成の高誘電率金属酸化膜を積層してもよい。

【0044】

高誘電率金属酸化膜下に設けられるシリコン含有絶縁膜2としては、酸化シリコン膜（SiO₂膜）やシリコン酸化窒化膜（SiON膜）、窒化シリコン膜（Si₃N₄）を用いることができる。信頼性等の素子特性の点から酸化シリコン膜が好ましい。この絶縁膜の厚みは、0.4nm～10nmの範囲で適宜設定することができる。この絶縁膜が薄すぎると、高誘電率金属酸化膜とシリコン基板との反応を十分に抑制できなくなる。厚すぎると、電気的なゲート絶縁膜厚が大きくなり所望の動作速度が得られなくなる。

【0045】

高誘電率金属酸化膜の側面を被覆する窒化シリコン膜5の厚みは、酸素等の酸化性物質のバリア機能が得られる範囲で適宜設定できるが、例えば1nm～10nmの範囲に設定することができる。薄すぎると、所望のバリア機能が得られな



くなり、均一な成膜も困難となり、逆に厚すぎると、応力増大による信頼性低下等の問題が生じる虞がある。

【0046】

ゲート電極4は、ポリシリコンで形成することができ、所望のサイズに適宜設定できるが、前述のとおり、本発明はゲート長が $1\text{ }\mu\text{m}$ 以下において効果的であり、 200 nm 以下においてより効果的であり、 100 nm 以下においてさらに効果的である。一方、所望の素子特性や微細加工精度等の観点から、ゲート長は、好ましくは 20 nm 以上、より好ましくは 40 nm 以上の範囲で適宜設定することができる。ゲート電極の高さ（基板に対して垂直方向の長さ）は、例えば $50\text{ nm} \sim 200\text{ nm}$ の範囲に設定することができる。

【0047】

サイドウォール6は、NSG等の酸化シリコンで形成することができ、そのサイズはゲート電極のサイズに応じて適宜設定することができる。

【0048】

以下、本実施形態のMISFETの製造方法を説明する。

【0049】

まず、素子分離領域（不図示）を有するシリコン基板1を用意し、この基板を希HF水溶液等の酸性溶液で洗浄して基板表面の自然酸化膜を除去し、純水でリンス、乾燥を行う。その後、RTA法等により基板表面に熱酸化膜12を形成する（図4（a））。この熱酸化膜12は、図2及び図3におけるシリコン含有絶縁膜2を構成する。また、この熱酸化膜を常法により窒化処理を施して、シリコン酸化窒化膜（SiON）とすることも可能である。また、この熱酸化膜に代えて、常法により窒化シリコン膜を形成することもできる。

【0050】

次に、この熱酸化膜12上に高誘電率金属酸化膜としてHfSiO膜13を形成する（図4（b））。2種以上の異なる組成の高誘電率金属酸化膜を積層してもよい。成膜方法は、固層拡散法や、原子層成長法、MOCVD法等の常法により行うことができる。

【0051】

次に、このHfSiO膜13の上に、CVD法によりゲート電極形成用のポリシリコン膜14を形成する（図4（c））。このポリシリコン膜には導電性付与を目的として、成長時に不純物を導入する。この不純物の導入は成膜終了後に行うこともできる。

【0052】

次に、このポリシリコン膜14上にレジストパターン21を形成し（図4（d））、このレジストパターン21をマスクとしてドライエッチングを行い、ポリシリコン膜14をパターニングしてゲート電極4を形成する（図4（e））。その際、HfSiO膜13がストップ膜として機能し得るエッチング条件を採用することにより、HfSiO膜13上で精度良くエッチングを停止することができる。なお、このドライエッチングにより、ゲート電極下以外のHfSiO膜を除去することも可能である。

【0053】

次に、レジスト剥離液を用いてレジストパターン21を除去した後、絶縁膜除去液を用いてゲート電極下以外のHfSiO膜13及び熱酸化膜12を除去し、シリコン含有絶縁膜2（熱酸化膜）と高誘電率金属酸化膜3（HfSiO膜）の積層体からなるゲート絶縁膜を形成する（図4（f））。この絶縁膜の除去工程は、例えば以下の条件で行うことができる。

絶縁膜除去条件：フッ酸水溶液（HF : H₂O = 1 : 600（質量比））中に28℃で3分浸漬。

【0054】

なお、この除去工程において、HfSiO膜13に対する熱酸化膜12のエッチング速度が著しく小さい条件（例えば、フッ酸水溶液（HF : H₂O = 1 : 2000（質量比））中に80℃で3分浸漬）を採用することにより、基板上に熱酸化膜12を残すことが可能である。この場合、サイドウォール6下の窒化シリコン膜5とシリコン基板1との間に熱酸化膜が介在した構造を形成することができる。

【0055】

また、この除去工程後に行われる薬液を用いた洗浄工程において基板上に形成

される自然酸化膜を残してもよい。これらの場合、サイドウォール6下の窒化シリコン膜5とシリコン基板1との間に酸化シリコン膜が介在した構造を形成することができる。

【0056】

次に、不純物のイオン注入を行って、このゲート電極形状に自己整合的に比較的低濃度の浅い拡散層を形成する。

【0057】

次に、酸化性物質のバリア用に窒化シリコン膜15、サイドウォール用にN S G等の酸化シリコン膜16をこの順でCVD法により積層した後（図4（g））、異方性エッチングによりエッチバックを行って、窒化シリコン膜5を介したサイドウォール6を形成する（図2）。なお、窒化シリコン膜15を形成し、エッチバックを行った後に、酸化シリコン膜16を形成し、この膜をエッチバックすることにより、図3に示すような、サイドウォール下には窒化シリコン膜が存在しない構造を形成することができる。CVD法による酸化シリコン膜の成膜は、例えば600を超え1000°C以下、好ましくは600を超え800°C以下で行うことができる。

【0058】

次に、不純物のイオン注入を行って、ゲート電極およびサイドウォール形状に自己整合的に比較的高濃度の深い拡散層を形成する。

【0059】

以上の工程およびそれ以降の工程において、常法により所望の構造に応じた処理を実施してMISFET構造を完成することができる。

【0060】

本実施形態によれば、酸化性物質バリア用の窒化シリコン膜15を形成した後に、サイドウォール用の酸化シリコン膜16を形成するため、この酸化シリコン膜の成膜過程において、成膜速度や膜質の点から600°Cを超える比較的高温環境下で実施しても、窒化シリコン膜15によって、酸素等の酸化性物質の高誘電率金属酸化膜3中への浸入が防止される。結果、高誘電率金属酸化膜3上下の領域において酸化シリコン膜が形成あるいは増膜しないため、電気的ゲート絶縁膜

厚の薄いゲート絶縁膜を形成することができる。

【0061】

第2の実施形態

本実施形態は、図5に示すように、シリコン基板1上に、シリコン含有絶縁膜2と高誘電率金属酸化膜3がこの順で積層されたゲート絶縁膜と、このゲート絶縁膜上に形成されたシリコン含有ゲート電極4と、このゲート電極側面（基板に対して垂直方向の面）に酸化シリコン膜7及び塗化シリコン膜5をこの順に介して酸化シリコンからなるサイドウォール6が設けられている。本実施形態は、酸化シリコン膜7を設けた以外は、第1の実施形態と同様な構成をとることができる。

【0062】

なお、図5に示す構造では、塗化シリコン膜5がサイドウォール6下にも存在するが、図6に示すように、サイドウォール下（サイドウォールとシリコン基板との間）に塗化シリコン膜が存在しない構造にすることもできる。本実施形態の構造は、塗化シリコン膜5とシリコン基板1との間に酸化シリコン膜7が介在するため、塗化シリコン膜がシリコン基板に直接接する構造に比べて、界面順位の抑制の観点から好ましい形態である。

【0063】

本実施形態の構造を有するMISFETは次のようにして形成することができる。

【0064】

第1の実施形態の製造方法と同様にして図4(f)に示す基板を作製する。次に、NSG等の酸化シリコン膜17を形成した後に、酸化性物質のバリア用に塗化シリコン膜15、サイドウォール用にNSG等の酸化シリコン膜16をこの順で積層する(図7)。その際、酸化シリコン膜17は、酸素等の酸化性物質の高誘電率金属酸化膜中への浸入を抑制する観点から600℃以下で成膜することが好ましい。この比較的低温下での酸化シリコン膜の形成は、AL-CVD(Atomic Layer CVD)法により良好に行うことができる。成膜速度や膜質の点から200℃以上で行なうことが好ましく、400℃以上がより好ましい。

【0065】

次に、異方性エッティングによりエッチバックを行って、酸化シリコン膜7及び塗化シリコン膜5をこの順に介したサイドウォール6を形成する（図5）。

【0066】

以上の工程およびそれ以降の工程において、第1の実施形態と同様に、常法により所望の工程に応じた処理を実施してMISFET構造を形成することができる。

【0067】

本実施形態の酸化シリコン膜17は、その上に設けられた塗化シリコン膜15のエッティング除去の際にバッファ膜として機能し、シリコン基板自体のエッティングダメージの防止に役立つものである。塗化シリコン膜15をドライエッティングにより完全に除去するために過剰にエッティングを行う際、酸化シリコン膜17にてエッティングを停止させることで、シリコン基板自体へのダメージを防止できる。シリコン基板表面の酸化シリコン膜17はウエットエッティングにより容易に選択的に除去できる。このような観点から、この酸化シリコン膜17の厚みは1nm以上が好ましく、5nm以上がより好ましい。一方、スループットの点からは、酸化シリコン膜17の成膜時間は短いことが好ましく、この観点から、酸化シリコン膜17の厚みは20nm以下が好ましく、10nm以下がより好ましい。

【0068】

なお、酸化シリコン膜17及び塗化シリコン膜15を形成し、異方性エッティングによりエッチバックを行った後に、サイドウォール用の酸化シリコン膜16を形成し、この膜をエッチバックすることにより、図6に示すような、サイドウォール下には塗化シリコン膜が存在しない構造を形成することができる。

【0069】

第3の実施の形態

本実施形態は、図8に示すように、シリコン基板1上に、シリコン含有絶縁膜2と高誘電率金属酸化膜3がこの順で積層されたゲート絶縁膜と、このゲート絶縁膜上に形成されたシリコン含有ゲート電極4と、このゲート絶縁膜の側面に選択的に且つ直接に接して設けられた塗化シリコン膜51（塗素含有部）と、この

塗化シリコン膜51表面を含むゲート電極側面（基板に対して垂直方向の面）に酸化シリコンからなるサイドウォール6が設けられている。この塗化シリコン膜51は、ゲート電極側面の平面に対する窪みを埋め込むようにその内面を被覆している。この塗化シリコン膜51の厚みは、酸素等の酸化性物質のバリア機能が得られる範囲で適宜設定できるが、例えば0.5nm～10nmの範囲に設定することができる。この厚みが薄すぎると十分なバリア機能が得られなくなる。また、この塗化シリコン膜51の厚みは、製法上、窪みの深さに相応するため、高誘電率金属酸化膜のゲート長方向サイズの制約の点から、必要十分な厚みとすることが好ましい。

【0070】

本実施形態の構造を有するMISFETは次のようにして形成することができる。

【0071】

第1の実施形態の製造方法と同様にして図4（e）に示す基板を作製する。次に、レジスト剥離液によりレジストパターン21を除去した後、絶縁膜除去液を用いてゲート電極下以外のHfSiO膜13及び熱酸化膜12を除去し、シリコン含有絶縁膜2（熱酸化膜）と高誘電率金属酸化膜3（HfSiO膜）の積層体からなるゲート絶縁膜を形成する。その際、除去液の組成や処理時間等を調整して、ゲート電極下のゲート絶縁膜（少なくともHfSiO膜3）をサイドエッチして、ゲート電極側面の平面に対する窪み101を形成する（図9（a））。このサイドエッチ量は、後に形成する塗化シリコン膜51の厚みに応じて調製する。このサイドエッチを伴う除去工程は、例えば次の条件で行うことができる。

絶縁膜除去条件：フッ酸水溶液（HF:H₂O=1:600（質量比））中に28℃で3分浸漬。

【0072】

次に、酸化性物質のバリア用の塗化シリコン膜15を、窪み101を埋め込むように積層する（図9（b））。次いで、ドライエッティングによりゲート電極上およびシリコン基板上の塗化シリコン膜を除去し、その後、窪み101内に塗化シリコン膜15が残るようにウエットエッティングを行う（図9（c））。このと

きのウエットエッティングは、例えば次の条件で行うことができる。

ウエットエッティング条件：リン酸中、160℃で1分浸漬。

【0073】

以上のようにして、ゲート絶縁膜（少なくとも高誘電率金属酸化膜）の側面に選択的に且つ直接に接するように塗化シリコン膜51を設けた後、第1の実施形態と同様にして所望のMISFET構造を形成することができる。

【0074】

本実施形態によれば、酸化性物質バリア用の塗化シリコン膜51を形成した後に、サイドウォール用の酸化シリコン膜16を形成するため、この酸化シリコン膜の成膜過程において、成膜速度や膜質の点から600℃を超える比較的高温環境下で実施しても、塗化シリコン膜51によって、酸素等の酸化性物質の高誘電率金属酸化膜3中の浸入が防止される。結果、高誘電率金属酸化膜3上下の領域において酸化シリコン膜が形成あるいは増膜しないため、電気的ゲート絶縁膜厚の薄いゲート絶縁膜を形成することができる。

【0075】

第4の実施の形態

本実施形態は、図10に示すように、シリコン基板1上に、シリコン含有絶縁膜2と高誘電率金属酸化膜3がこの順で積層されたゲート絶縁膜と、このゲート絶縁膜上に形成されたシリコン含有ゲート電極4と、このゲート絶縁膜側面を含むゲート電極側面（基板に対して垂直方向の面）に酸化シリコンからなるサイドウォール6が設けられている。そして、高誘電率金属酸化膜2は、その側面側に塗化領域52（窒素含有部）を有している。この塗化領域52の厚み（側面からゲート長方向の長さ）は、酸素等の酸化性物質のバリア機能が得られる範囲で適宜設定できるが、例えば窒素含有率（全構成原子に対する窒素原子の原子数比（百分率））が5%以上の領域を1nm～20nmの範囲に設定することができる。塗化領域の厚みが薄すぎると十分なバリア機能が得られなくなる。逆に厚すぎると、信頼性の低下や塗化処理の効率低下を招くため、必要十分な厚みとすることが好ましい。また、この塗化領域中の窒素含有率は、バリア機能の点から5%以上が好ましく、10%以上がより好ましい。信頼性や塗化処理の効率性の点か



ら40%以下が好ましい。

【0076】

本実施形態の構造を有するMISFETは次のようにして形成することができる。

【0077】

第1の実施形態の製造方法と同様にして図4(f)に示す基板を作製し、前述の窒化領域52が形成されるように窒化処理を行う。この窒化処理としては、アンモニア雰囲気中での熱処理や、N₂やNO等の窒素含有ガスを用いたプラズマ窒化処理により行うことができる。例えば、HfSiO膜(Siモル比率：30%)に対して、下記の窒化処理条件により窒化処理を行うことにより、最大窒素含有率15%、窒素含有率5%以上の厚み3.5nm程度の窒化領域を形成することができる。

窒化処理条件：アンモニア雰囲気中、760Torr、800°C、30分。

【0078】

以上のようにして、高誘電率金属酸化膜(HfSiO膜)の両側面側に窒化領域52を設けた後、第1の実施形態と同様にして所望のMISFET構造を形成することができる。

【0079】

なお、この窒化処理により、ゲート電極4およびシリコン含有絶縁膜2の露出面も窒化される。HfSiO等の高誘電率金属酸化膜は、その気体透過性が高いため、ゲート電極やシリコン含有絶縁膜よりも厚い窒化領域が形成される。

【0080】

本実施形態によれば、高誘電率金属酸化膜の両側面(露出面)側に窒化領域52を形成した後に、サイドウォール用の酸化シリコン膜16を形成するため、この酸化シリコン膜の成膜過程において、成膜速度や膜質の点から600°Cを超える比較的高温環境下で実施しても、窒化領域52によって、酸素等の酸化性物質の高誘電率金属酸化膜3中への浸入が防止される。結果、高誘電率金属酸化膜3上下の領域において酸化シリコン膜が形成あるいは増膜しないため、電気的ゲート絶縁膜厚の薄いゲート絶縁膜を形成することができる。

【0081】

第5の実施の形態

本実施形態は、高誘電率金属酸化膜を含むゲート絶縁膜およびゲート電極を形成した後において、当該高誘電率金属酸化膜が露出した状態で実施する酸化性雰囲気での加熱下の処理、すなわちサイドウォール用の酸化シリコン膜の成膜を600°C以下で行うことを主な特徴とするものである。

【0082】

第1の実施形態の製造方法と同様にして図4(f)に示す基板を作製する。次に、サイドウォール形成用にNSG等の酸化シリコン膜16を全面に600°C以下で成膜する。600°C以下で成膜することにより、酸素等の酸化性物質の高誘電率金属酸化膜中への浸入を抑制することができる。その際、AL-CVD(Atomic Layer CVD)法を採用することにより良好な成膜を行うことができる。成膜速度や膜質の点から200°C以上で行なうことが好ましく、400°C以上がより好ましい。その後に、この酸化シリコン膜16をエッチバックしてサイドウォールを形成する。

【0083】

以上のようにして、サイドウォールを設けた後、第1の実施形態と同様にして所望のMISFET構造を形成することができる。

【0084】

上述の第1～第5の実施形態の各製造方法においては、HfSiO膜13上に塗化シリコン膜を形成した後に、ポリシリコン膜14を形成することにより、高誘電率金属酸化膜(HfSiO膜)3とゲート電極4との間に塗化シリコン膜が介在した構造を形成することができる。

【0085】

【発明の効果】

以上の説明から明らかなように本発明によれば、ゲート長が短い微細構造を有しながら、低消費電力でかつ高速動作が可能なMISFETを有する半導体装置を提供することができる。

【図面の簡単な説明】

【図1】

従来のMISFETにおけるゲート長と単位チャネル幅あたりのオン電流（I_{on}）との関係を示す図である。

【図2】

本発明におけるMISFETの一例の模式的断面図である。

【図3】

本発明におけるMISFETの一例の模式的断面図である。

【図4】

本発明におけるMISFETの製造方法の模式的説明図である。

【図5】

本発明におけるMISFETの一例の模式的断面図である。

【図6】

本発明におけるMISFETの一例の模式的断面図である。

【図7】

本発明におけるMISFETの製造方法の模式的説明図である。

【図8】

本発明におけるMISFETの一例の模式的断面図である。

【図9】

本発明におけるMISFETの製造方法の模式的説明図である。

【図10】

本発明におけるMISFETの一例の模式的断面図である。

【図11】

本発明におけるMISFETの製造方法の模式的説明図である。

【符号の説明】

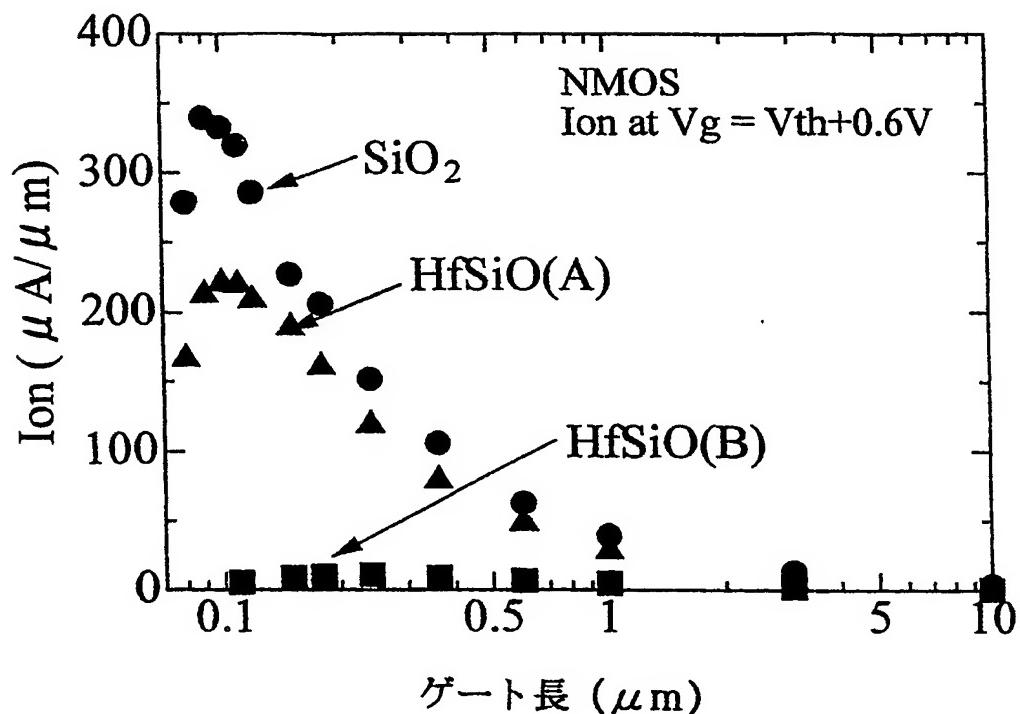
- 1 シリコン基板
- 2 シリコン含有絶縁膜
- 3 高誘電率金属酸化膜
- 4 シリコン含有ゲート絶縁膜
- 5 窒化シリコン膜

- 6 サイドウォール
- 7 酸化シリコン膜
- 1 2 热酸化膜
- 1 3 HfSiO膜
- 1 4 ポリシリコン膜
- 1 5 窒化シリコン膜
- 1 6 酸化シリコン膜
- 1 7 酸化シリコン膜
- 2 1 レジストパターン
- 5 1 窒化シリコン膜（窒素含有部）
- 5 2 窒化領域（窒素含有部）
- 1 0 1 塗み

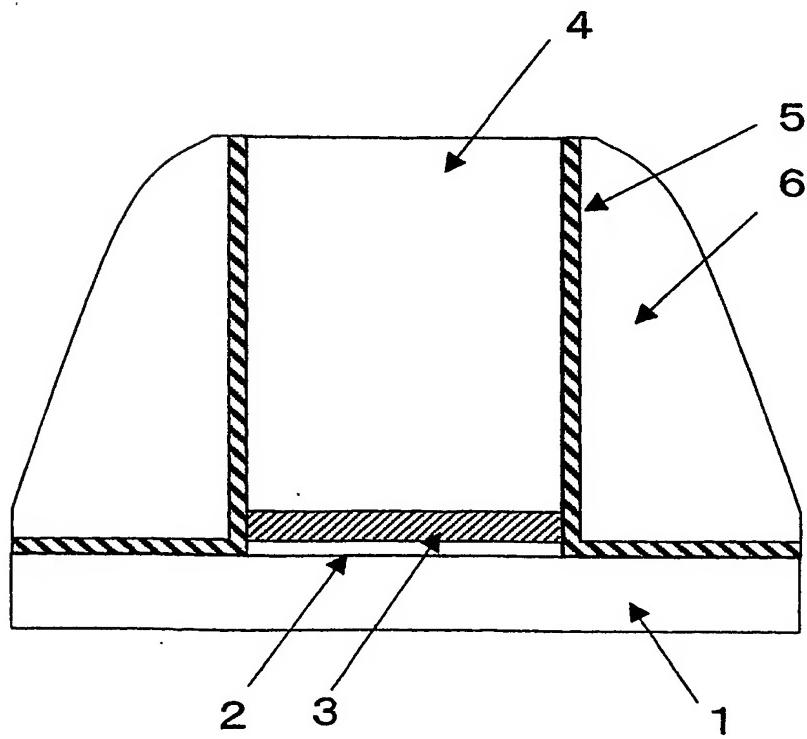
【書類名】

図面

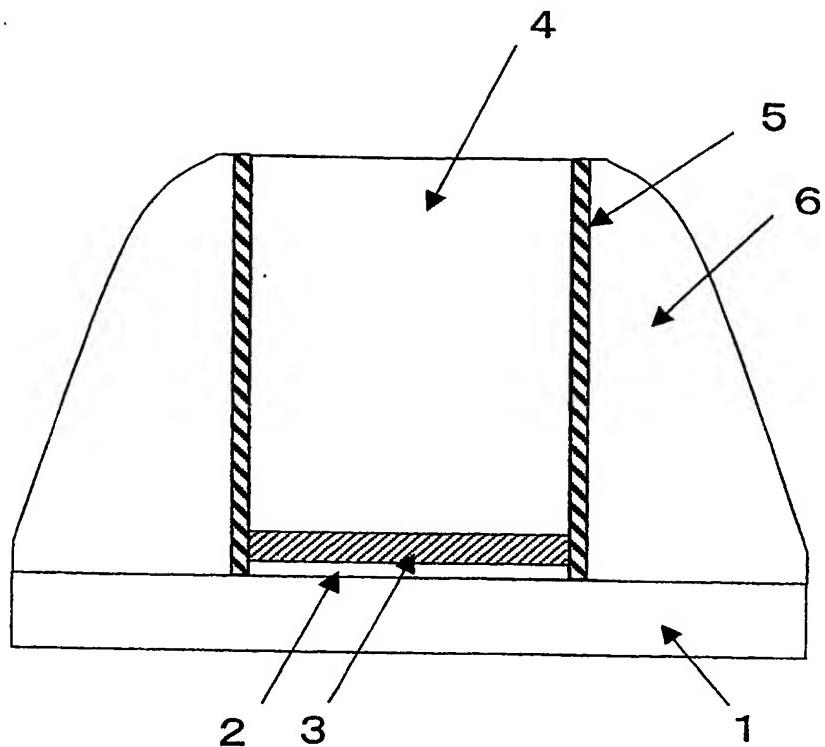
【図 1】



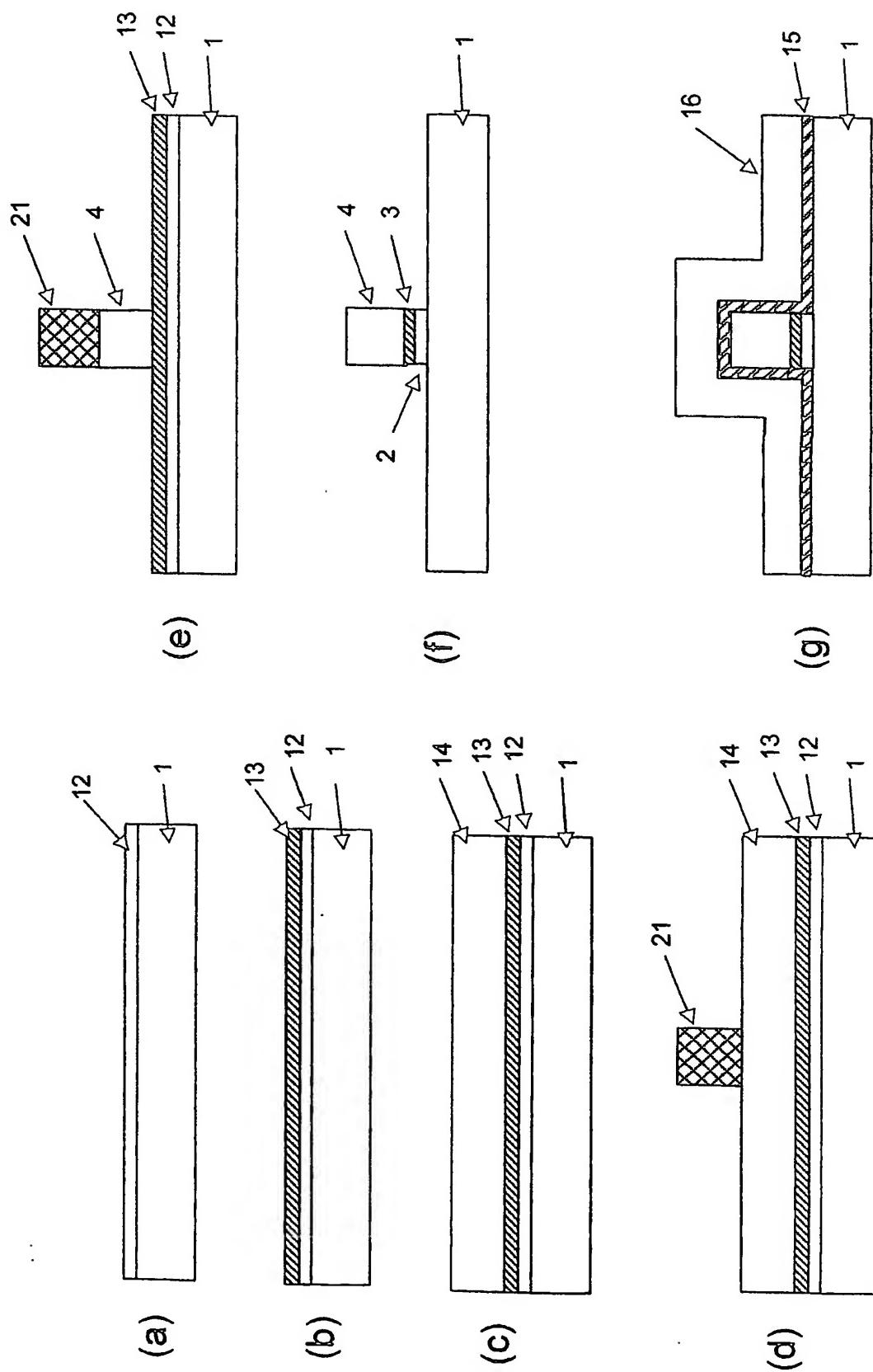
【図 2】



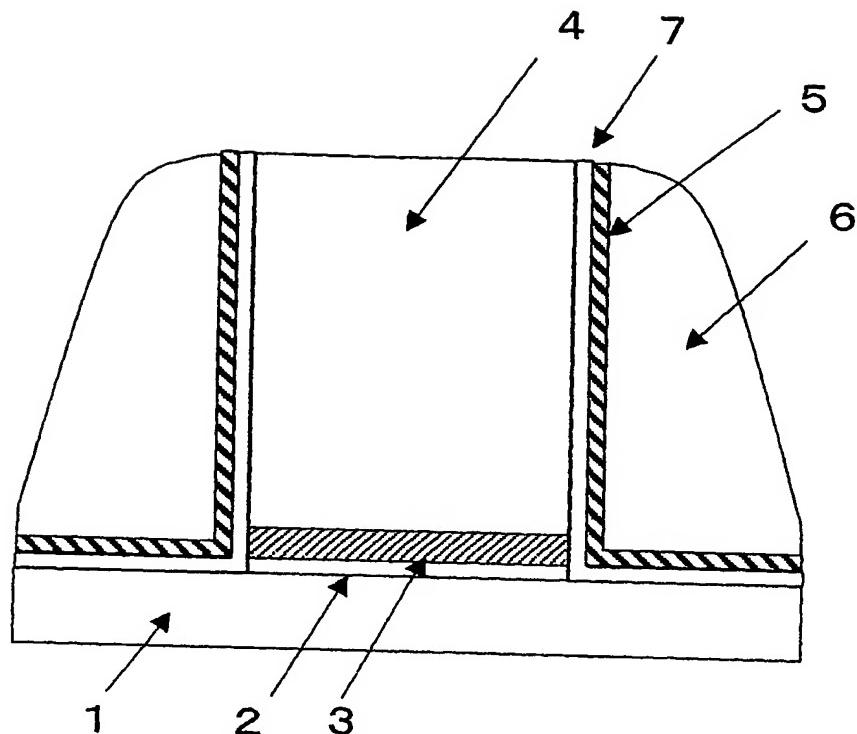
【図3】



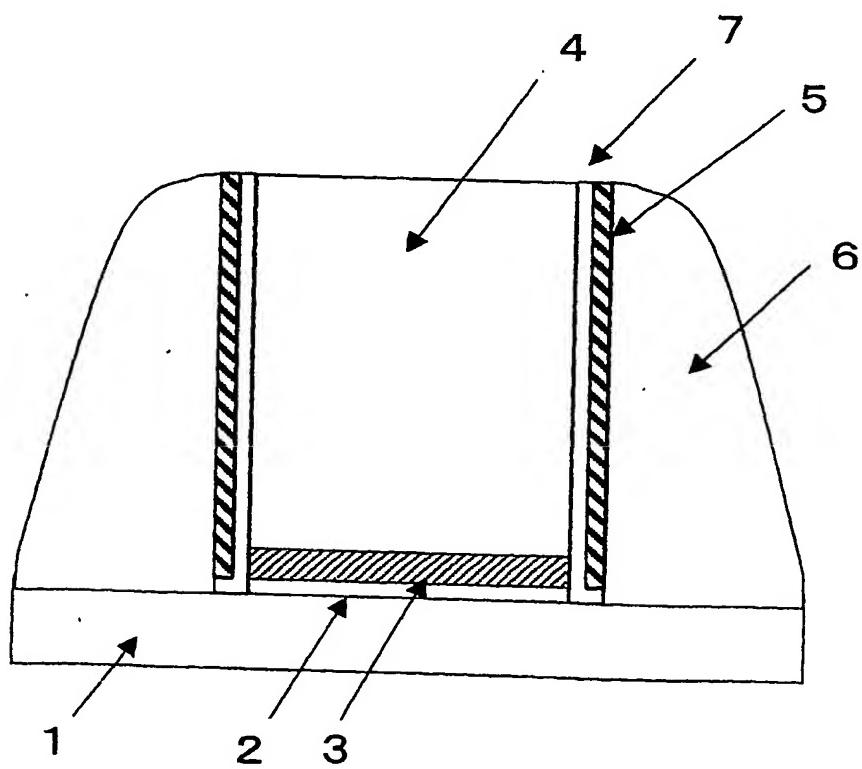
【図4】



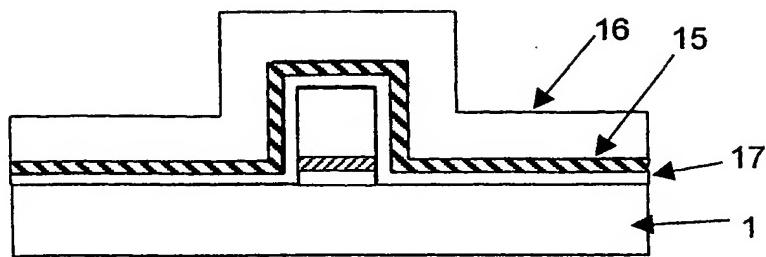
【図5】



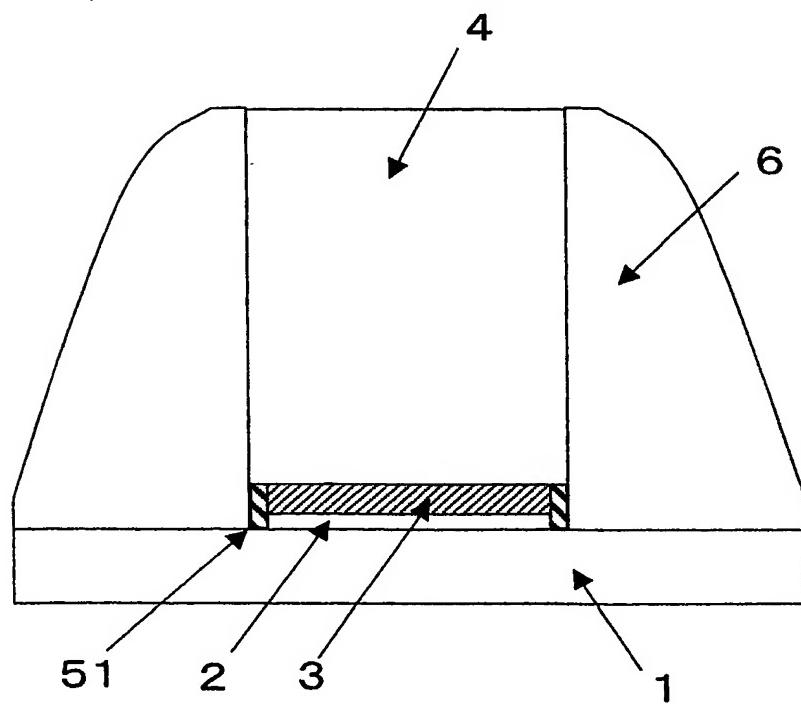
【図6】



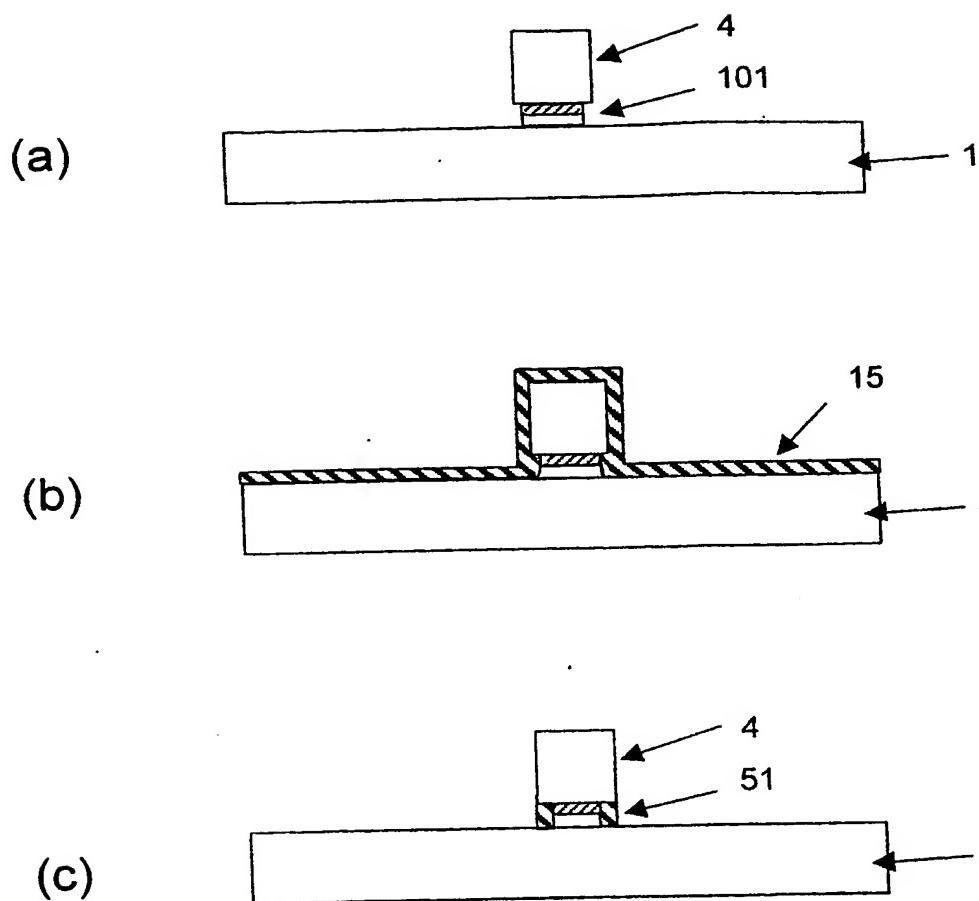
【図7】



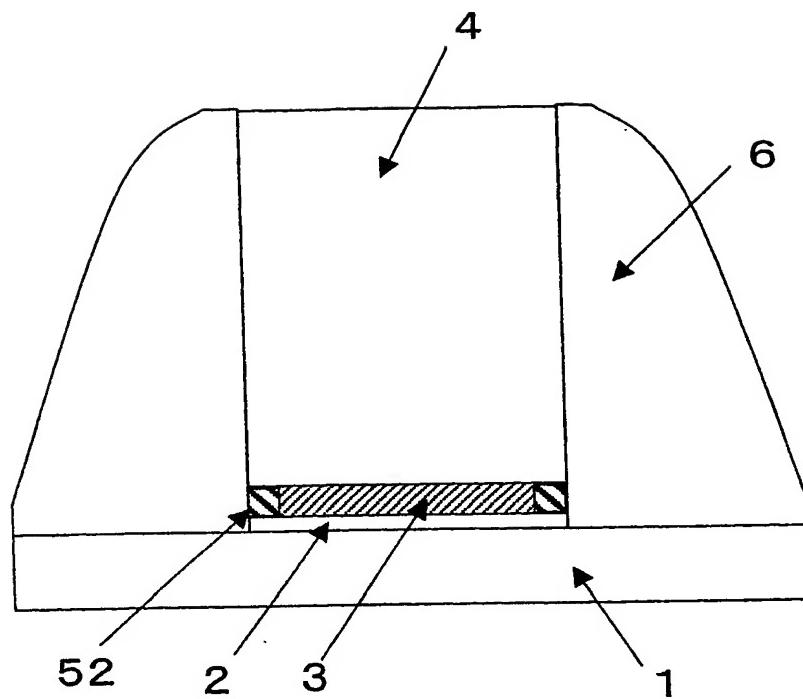
【図8】



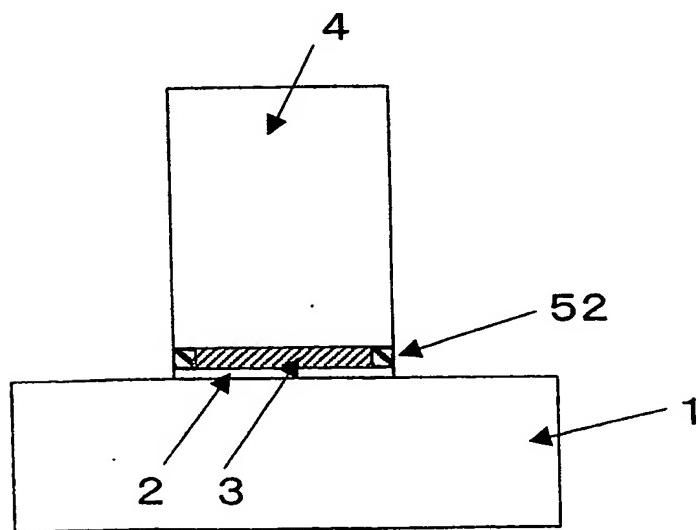
【図9】



【図10】



【図11】



【書類名】 要約書

【要約】

【課題】 ゲート長が短い微細構造を有しながら、低消費電力でかつ高速動作が可能なMIS型電界効果トランジスタを有する半導体装置を提供する。

【解決手段】 シリコン基板と、このシリコン基板上にシリコン含有絶縁膜を介して設けられた高誘電率金属酸化膜を有するゲート絶縁膜と、このゲート絶縁膜上に形成されたシリコン含有ゲート電極と、このゲート電極の側面側に酸化シリコンからなるサイドウォールとを有し、このサイドウォールと少なくともゲート電極の側面との間に窒化シリコン膜が介在するMIS型電界効果トランジスタを備えた半導体装置。

【選択図】 図2

特願 2003-176582

出願人履歴情報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 東京都港区芝五丁目7番1号

氏 名 日本電気株式会社

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.